

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 5 0 2 6 4
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 5 0 2 6 4]

出 願 人 エルピーダメモリ株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 5 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願
【整理番号】 22310441
【提出日】 平成16年 2月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/12
【発明者】
 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ株式会社
 内
 【氏名】 菊地 渉
【発明者】
 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ株式会社
 内
 【氏名】 管野 利夫
【発明者】
 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ株式会社
 内
 【氏名】 伊佐 聡
【特許出願人】
 【識別番号】 500174247
 【氏名又は名称】 エルピーダメモリ株式会社
【代理人】
 【識別番号】 100071272
 【弁理士】
 【氏名又は名称】 後藤 洋介
【選任した代理人】
 【識別番号】 100077838
 【弁理士】
 【氏名又は名称】 池田 憲保
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 53260
 【出願日】 平成15年 2月28日
【手数料の表示】
 【予納台帳番号】 012416
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0110118

【書類名】 特許請求の範囲**【請求項 1】**

複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する 2 個の半導体チップを、前記搭載面が基板を挟んで互いに対向するように当該基板の表裏面に搭載したことを特徴とする積層型半導体パッケージ。

【請求項 2】

請求項 1 に記載の積層型半導体パッケージにおいて、

前記基板が、その表面上または裏面上の領域であって、前記 2 個の半導体チップを搭載するための領域とは異なる領域に、前記複数のチップピンに夫々対応する複数のパッケージピンを備えていることを特徴とする積層型半導体パッケージ。

【請求項 3】

請求項 2 に記載の積層型半導体パッケージにおいて、

前記複数のパッケージピンが前記予め定められた配置と同じ配置で形成されていることを特徴とする積層型半導体パッケージ。

【請求項 4】

請求項 1, 2 または 3 に記載の積層型半導体パッケージにおいて、

前記複数のパッケージピンが、前記 2 個の半導体チップのうちのいずれか一方の対応するチップピンにのみ接続されるオプションピンと、前記 2 個の半導体チップの各々の対応するチップピンに共に接続されるレギュラーピンとを含むことを特徴とする積層型半導体パッケージ。

【請求項 5】

請求項 4 に記載の積層型半導体パッケージにおいて、

前記基板が、前記レギュラーピンにその一端が接続される共通配線と、該共通配線の他端を前記 2 個の半導体チップの各々の対応するチップピンに接続するための分岐配線部とを有し、

前記共通配線の他端から前記対応するチップピンまでの配線距離を実質上互いに等しくしたことを特徴とする積層型半導体パッケージ。

【請求項 6】

請求項 5 に記載の積層型半導体パッケージにおいて、

前記分岐配線部が、前記対応するチップピンの中間位置近傍に形成され、かつ前記共通配線の他端に接続されたビアと、該ビアと前記対応するチップピンとを接続する実質的に長さの等しい第 1 及び第 2 の分岐配線を有していることを特徴とする積層型半導体パッケージ。

【請求項 7】

請求項 5 に記載の積層型半導体パッケージにおいて、

前記レギュラーピンに対応する 2 つのチップピンが、前記基板を介して互いに向き合っている場合には、前記分岐配線部が、前記 2 つのチップピンを直接接続するビアを有していることを特徴とする積層型半導体パッケージ。

【請求項 8】

請求項 1 乃至 7 に記載の積層型半導体パッケージにおいて、

前記基板が、グランド配線及び／又は電源配線を有する多層基板であって、前記共通配線及び前記分岐配線部が前記グランド配線及び／又は電源配線とともに伝送線路を構成することを特徴とする積層型半導体パッケージ。

【請求項 9】

請求項 8 に記載の積層型半導体パッケージにおいて、

前記伝送線路は、マイクロストリップ線路、ストリップ線路、及び平行線路のうちのいずれかとして構成されていることを特徴とする積層型半導体パッケージ。

【請求項 10】

請求項 9 に記載の積層型半導体パッケージにおいて、

伝送線路を構成する前記グランド配線及び／又は電源配線は、複数のグランド配線及び

／又は電源配線部から構成された部分、又は、ビアや他の配線により部分的に分断されている部分を含んでいることを特徴とする積層型半導体パッケージ。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれかに記載の積層型半導体パッケージにおいて、

前記半導体チップは、単体チップ（ベアダイ）、又は基板上に前記単体チップを搭載し、前記単体チップの配線（パッド）と前記基板上の配線をワイヤボンディング、インナーリードボンディング、及びフリップチップ接続のいずれかにより電氣的に接続され、基板上の導体パターンを保護するために樹脂封止されたパッケージ構造にしたもの、又はウエハレベル C S P、あるいはウエハプロセスパッケージのいずれかであることを特徴とする積層型半導体パッケージ。

【書類名】明細書

【発明の名称】積層型半導体パッケージ

【技術分野】

【0 0 0 1】

本発明は、積層型半導体パッケージに関し、特に、高速データ転送が可能な積層型 D R A M パッケージに関する。

【背景技術】

【0 0 0 2】

従来の積層型半導体パッケージは、図 2 1 に示すように、その上面中央部にキャビティ 1 0 1 が形成された基板 1 0 2 と、基板 1 0 2 の上面から下面にかけて形成された配線パターン 1 0 3 と、基板 1 0 2 のキャビティ 1 0 1 内に配設された半導体チップ 1 0 4 と、半導体チップ 1 0 4 を配線パターン 1 0 3 に接続するボンディングワイヤー 1 0 5 と、基板 1 0 2 の上面側で配線パターン 1 0 3 に接続される複数の端子パッド 1 0 6 と、基板 1 0 2 の下面側で配線パターン 1 0 3 に接続固定される複数のソルダーボール 1 0 7 とを有している。

【0 0 0 3】

ここで、複数の端子パッド 1 0 6 と複数のソルダーボール 1 0 7 とは、同一の配列となるように形成されている。即ち、この積層型パッケージを複数用意して互いに重ねあわせたときに、上に位置するパッケージのソルダーボール 1 0 7 と下に位置するパッケージの端子パッド 1 0 6 とが一对で対応するようにしてある。従って、この積層型パッケージを複数重ねてリフロー工程を行えば、複数の半導体チップが互いに積層されかつ接続された積層パッケージを得ることができる（例えば、特許文献 1 参照。）。

【0 0 0 4】

また、別の従来の積層型半導体パッケージは、図 2 2 に示すように、半導体チップ 1 1 1 とそれを包むフレキシブル基板 1 1 2 とを有している。

【0 0 0 5】

図 2 3 に示すように、図 2 2 の積層型半導体パッケージに用いられる半導体チップ 1 1 1 の下面には、複数のコンタクト 1 2 1 が配列形成されている。また、フレキシブル基板 1 1 2 の上面には、半導体チップ 1 1 1 の下面に形成された複数のコンタクト 1 2 1 の配列に対応する配列（反転配列）の第 1 の導電パッド群 1 2 2 が形成されている。さらに、フレキシブル基板 1 1 2 の下面には、第 1 の導電パッド群と上下に重なるように（即ち、コンタクト 1 2 1 と同一の配列で）第 2 の導電パッド群が形成されるとともに、その両側には、第 3 及び第 4 の導電パッド群が形成されている。第 3 及び第 4 の導電パッド群は夫々、第 2 の導電パッド群の半分を反転させたように配置されており、対応する第 2 の導電パッド群の半分に配線パターンにより接続されている。

【0 0 0 6】

半導体チップ 1 1 1 をフレキシブル基板 1 1 2 の上面に搭載すると、半導体チップのコンタクト 1 2 1 は、対応する第 1 の導電パッド 1 2 2 に接続されるとともに、基板 1 1 2 を突き抜け、その裏面に位置する第 2 の導電パッドにも接続される。その結果、半導体チップのコンタクト 1 2 1 の各々は、第 3 又は第 4 の導電パッド群に含まれるいずれかのパッドに接続される。半導体チップ 1 1 1 を包むようにフレキシブル基板 1 1 2 を折り曲げると、第 3 及び第 4 の導電パッド群は、半導体チップの上面側に位置する。第 3 及び第 4 の導電パッド群により形成される第 5 の導電パッド群は、第 1 の導電パッド群と同じ配列となる。

【0 0 0 7】

以上のように構成された複数の半導体パッケージを互いに重ねあわせ、熱を加えれば、上に位置するパッケージの第 2 の導電パッド群と、下に位置するパッケージの第 5 の導電パッド群とが互いに半田接続され、図 2 2 の複数の半導体チップが互いに積層されかつ接続された積層パッケージが得られる（例えば、特許文献 2 参照。）。

【0 0 0 8】

【特許文献1】特開平11-220088号公報（要約）

【特許文献2】米国特許第6473308号公報（要約）

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来の積層型半導体パッケージは、1枚の基板に1個の半導体チップを搭載して構成されており、これを複数重ねあわせることによって、積層パッケージが構成される。このような積層パッケージにおいては、最下に位置する積層型半導体パッケージのピン（ソルダボールあるいは導電パッド）が外部接続端子（積層パッケージピン）として利用され、他の積層型半導体パッケージのピンは、その下に位置する積層型半導体パッケージへの接続に利用される。それゆえ、積層パッケージを構成する各積層型半導体パッケージのピンと、外部接続端子との間の配線距離は、各積層型半導体パッケージの上下位置に依存し、上に位置するものほど長くなる。つまり、従来の積層形半導体パッケージには、積層されたときに外部接続端子までの距離が、その積層位置によって異なるという問題点がある。

【0010】

本願発明は、1枚の基板に半導体チップを2個搭載させ、かつ、外部接続端子から各半導体チップへの配線長を実質的に等しくすることができる積層型半導体パッケージを提供することを目的とする。

【0011】

また、本発明は、高速データ転送が可能な積層型半導体パッケージを提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明によれば、複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する2個の半導体チップを、前記搭載面が基板を挟んで互いに対向するように当該基板の表裏面に搭載したことを特徴とする積層型半導体パッケージが得られる。

【0013】

この積層型半導体パッケージにおいて、前記基板は、その表面上または裏面上の領域であって、前記2個の半導体チップを搭載するための領域とは異なる領域に、前記複数のチップピンに夫々対応する複数のパッケージピンを備えている。

【0014】

前記複数のパッケージピンは、前記予め定められた配置と同じ配置とすることができる。

【0015】

前記複数のパッケージピンは、前記2個の半導体チップのうちのいずれか一方の対応するチップピンにのみ接続されるオプションピンと、前記2個の半導体チップの各々の対応するチップピンに共に接続されるレギュラーピンとを含む。

【0016】

前記基板は、前記レギュラーピンにその一端が接続される共通配線と、該共通配線の他端を前記2個の半導体チップの各々の対応するチップピンに接続するための分岐配線部と有し、前記共通配線の他端から前記対応するチップピンまでの配線距離を実質上互いに等しくしてある。

【0017】

前記共通配線の他端から前記対応するチップピンまでの配線距離を実質上互いに等しくするために、前記分岐配線部は、前記対応するチップピンの中間位置近傍に形成され、かつ前記共通配線の他端に接続されたビアと、該ビアと前記対応するチップピンとを接続する実質的に長さの等しい第1及び第2の分岐配線を有している。

【0018】

前記レギュラーピンに対応する2つのチップピンが、前記基板を介して互いに向き合っている場合には、前記分岐配線部は、前記2つのチップピンを直接接続するビアを有して

いる。

【0 0 1 9】

前記基板は、グラウンドプレーン及び／又は電源プレーン（又はグラウンド配線／電源配線）を有する多層基板であって、前記配線パターンは、伝送線路を構成している。

【0 0 2 0】

ここで、前記半導体チップとしては、DRAMなどのウェハプロセス（前工程）で製造された単体チップ（ベアダイ）でもよいし、基板上に前記単体チップを搭載し、前記チップと前記基板を電氣的に接続したパッケージ構造のものでもよい。

【発明の効果】

【0 0 2 1】

本発明によれば、同一のピン配置を持つ2個の半導体チップを、基板を挟んで対向するようその基板の表裏面に搭載するようにしたことで、各パッケージピンから各半導体チップの対応チップピンまでの配線長を実質的に等しくすることができ、データの高速転送が可能となる。

【発明を実施するための最良の形態】

【0 0 2 2】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0 0 2 3】

図1（a）及び（b）に、本発明の一実施の形態に係る積層型半導体パッケージの概略構成図を示す。図示の積層型半導体パッケージ10は、第1の半導体チップ11と、第2の半導体チップ12、及びこれら半導体チップ11、12を搭載するためのフレキシブル基板13とを備えている。

【0 0 2 4】

第1の半導体チップ11は、フレキシブル基板13の上面を二分したときの一方の領域（チップ搭載領域）上に搭載されている。また、第2の半導体チップ12は、フレキシブル基板13を挟んで第1の半導体チップ11と対向するように、フレキシブル基板13の下面に搭載されている。第1及び第2の半導体チップ11、12のフレキシブル基板13への搭載は、例えば、半田ボールを用いて行われる。

【0 0 2 5】

また、フレキシブル基板13は、第2の半導体チップ12を包むように二つ折りされている。フレキシブル基板13の上面であって、二つ折りされた結果、この積層型半導体パッケージ10の下面となる領域には、この積層型半導体パッケージ10の外部接続端子となるパッケージピン（半田ボール）14が形成されている。

【0 0 2 6】

次に、図2乃至8を参照して、半導体チップ11、12及びフレキシブル基板13の各構成について詳細に説明する。

【0 0 2 7】

第1の半導体チップ11と第2の半導体チップ12は、例えばDRAMなどのメモリチップであって、同一の構成を有している。これら半導体チップ11、12は、ウェハプロセス（前工程）で製造された単体チップ（ベアダイ）であってもよいし、パッケージプロセス（後工程）により単体チップを基板上に搭載したパッケージ構造のものであってもよい。

【0 0 2 8】

パッケージ構造の半導体チップとしては、例えば、特開平11-135562号公報や特開平11-186449号公報に記載されたものがある。これら公報に記載された半導体チップは、図2又は図3に示すように、基板201又は301上に単体チップ202又は302を搭載し、単体チップ202又は302の配線（パッド）203又は303と基板201又は301上の配線204又は304とをワイヤボンディング205又は305（又はインナーリードボンディング、あるいはフリップチップ接続等）で接続し、基板201又は301上に形成された導体パターン206又は306を保護するために樹脂20

7又は307で封止されて構成されている。

【0029】

また、別のパッケージ構造の半導体チップとして、パッケージプロセス（後工程）をウエハプロセス（前工程）と一体化し、ウエハ状態でパッケージング工程を完了する方式により製造されたもの、いわゆるウエハレベルCSPあるいはウエハプロセスパッケージと呼ばれるものもある。このような構造の半導体チップは、例えば、特開2002-261192号公報や特開2003-298005号公報に記載されている。前者に記載された半導体チップは、図4に示すように、ウエハプロセスが終了した半導体基板401上に、保護膜402、再配線層403、及び銅ポスト404などを形成した後、樹脂405により封止されて構成されている。

【0030】

各半導体チップ11、12の一面（搭載面）には、図5に示すように、フレキシブル基板13に対して電氣的・機械的に接続される複数のピン（半導体ボール、チップピンともいう。）21が、所定の配列で形成されている。

【0031】

複数のチップピン21の各々には、それぞれ特定の役割（信号）が割り当てられている。例えば、DDR-II用のSDRAMの場合は、チップピン21がマトリクス状に配列されており、各チップピンに割り当てられる役割は、図6に示すようになる。なお、図6は、チップピンの配置を上面側から見た図である。図6において、例えば、A行1列のピン（A1ピン）は、VDD用である。

【0032】

ここで、積層型半導体パッケージ10のパッケージピン14の配置について説明しておく。パッケージピン14の配置は、積層される半導体チップ11（又は12）のピン配置とほとんど同じである。例えば、上記SDRAMを積層した積層型半導体パッケージのパッケージピンの配置は、図7に示すようになる。図7において、図6のものと異なるピンは、太字で描かれている。

【0033】

図6及び図7において、大雑把な分類をすると、ほぼ上半分がデータ（DQ）系ピン、ほぼ下半分がコマンドアドレス（C/A）系ピンである。また、図7に太字で示す3組6個のピン、即ち、チップ選択ピン（CS0及びCS1）、クロックピン（CKE0及びCKE1）、及びオンダイターミネーションピン（ODT0及びODT1）は、第1の半導体チップ11と第2の半導体チップ12とを互いに独立して動作させるためのものであって、いずれか一方の半導体チップのみと接続されるピンである。例えば、第1の半導体チップ11のCS、CKE及びODTが、夫々パッケージピンのCS0、CKE0及びODT0に接続されるのであれば、第2の半導体チップ12のCS、CKE及びODTは、CS1、CKE1及びODT1にそれぞれ接続される。

【0034】

このように第1の半導体チップ11と第2の半導体チップ12とを互いに独立して動作させるパッケージピンをオプションピンと呼び、その他のパッケージピンをレギュラーピンと呼称する。

【0035】

図7の積層型半導体パッケージのピン配列は、図6の半導体チップ単体用のチップピン配置に第2の半導体チップ用のオプションピンが追加された配列となっている。

【0036】

一方、フレキシブル基板13は、多層配線基板であって、例えば、表層として上下2層（又は表層側及び裏層側）の信号層と、内層としてVDDプレーン及びGNDプレーンの2層とを備えた四層基板である。以下の説明では、フレキシブル基板13は四層基板であるとする。

【0037】

図8に示すように、フレキシブル基板13の上面のチップ搭載領域51には、第1の半

導体チップ 1 1 の各ピン 2 1 に対応するよう同一の配列とされた複数のチップ接続パッド（第 1 の接続パッド群）が形成されている。また、フレキシブル基板 1 3 の上面の残りの領域 5 2 には、この積層型半導体パッケージ 1 0 の外部接続端子となる複数のパッケージピン（パッケージピン群） 1 4 に対応した外部接続用パッド群が、第 1 の半導体チップ 1 1 のピン配列と鏡像配列となるように形成されている。さらに、フレキシブル基板 1 3 の下面であって、チップ搭載領域 5 1 の裏面にあたる領域 5 3 には、第 2 の半導体チップ 1 2 の各ピンに対応するよう配列された（鏡像配列）複数のチップ接続パッド（第 2 の接続パッド群）（図示せず）が形成されている。さらにフレキシブル基板 1 3 の下面であって、外部接続用パッド群に対応する領域 5 4 には外部接続用パッドと接続されたビア（例えば、図 1 0 の 5 0 6）が形成されている。フレキシブル基板 1 3 は、さらに、第 1 の接続パッド群及び第 2 の接続パッド群の接続パッドのパッドの各々を、対応する外部接続用パッド（パッケージピン）に接続するための配線及びビア（例えば、図 1 1 の 6 0 3, 6 0 4, 6 0 8, 6 1 0, 6 1 2、図 1 2 の 7 0 2、図 1 3 の 8 0 3）を備えている。なお、配線は、表層側及び裏層側信号層内に形成される。

【0038】

図 9（a）及び（b）に示すように、第 1 の半導体チップ及び第 2 の半導体チップ 1 1, 1 2 は、フレキシブル基板 1 3 のチップ搭載領域の上下面に夫々搭載される。このとき、第 1 の半導体チップ 1 1 と第 2 の半導体チップ 1 2 とは、図 9（a）から容易に理解されるように、互いに反転した状態となる。この状態では、例えば、第 1 の半導体チップ 1 1 の A 1 ピンは、左側（左奥）に位置するのに対して、第 2 の半導体チップ 1 2 の A 1 ピンは、右側（右奥）に位置する。

【0039】

フレキシブル基板 1 3 の配線は、上記のような反転関係にある第 1 の半導体チップ 1 1 の各ピンと、それに対応する（同じ役割の）第 2 の半導体チップ 1 2 のピンとを、ともに対応するパッケージピン 1 4 に接続する。但し、前述した、各半導体チップ 1 1, 1 2 を独立動作させるためのチップピンについては、いずれか一方のみを対応するパッケージピン 1 4 に接続する。

【0040】

第 1 及び第 2 の半導体チップ 1 1, 1 2 をフレキシブル基板 1 3 に搭載した後、第 2 の半導体チップ 1 2 を包むようにフレキシブル基板 1 3 を折り曲げると（二つ折りにすると）、図 1 に示した積層型半導体パッケージが得られる。このとき、パッケージピン 1 4 は、第 1 の半導体チップ 1 1 のピンと同じ向きで、同じ配列となる。したがって、この積層型半導体パッケージ 1 0 は、第 1 の半導体チップ 1 1 単体を搭載するためのボード（但し、オプションピンに対応するもの）に、そのまま搭載することが可能である。これは、第 1 の半導体チップ 1 1 を搭載するために必要な実装面積を持つボードに、2 倍の記憶容量のメモリパッケージが搭載できるようになることを意味する。

【0041】

以下、第 1 及び第 2 の半導体チップが接続される接続パッドと外部接続パッドとの間の接続について説明する。

【0042】

第 1 及び第 2 の半導体チップのピン 2 1 には、パッケージピン 1 4 のうちのオプションピンに接続されるチップピンと、レギュラーピンに接続されるチップピンとがある。また、レギュラーピンに接続されるチップピンには、VDD プレーン又は GND プレーンを介してレギュラーピンに接続されるものと、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続されるものとがある。さらに、信号層を介してレギュラーピンに接続されるチップピンには、互いに対向する一対のピンを基板に形成したビアを介して直結されるものがある。これらのチップ間の接続を実現するため、各パッド間には以下のように接続される。

【0043】

図 1 0 に示すように、第 1 の接続パッド群のうち、オプションピンに接続されるチップ

ピン用のパッド 5 0 1 は、フレキシブル基板 1 3 の表層側信号層の一部である配線（信号線） 5 0 2 により、対応するオプションピン用の外部接続パッド 5 0 3 に接続される。一方、第 2 の接続パッド群のうち、オプションピンに接続されるチップピン用のパッド 5 0 4 は、フレキシブル基板 1 3 の裏層側信号層の一部である配線（信号線） 5 0 5 により、フレキシブル基板 1 3 の下面の領域 5 4 に形成されたビアであって、対応するオプションピン用の外部接続パッド 5 0 5 に接続されているビア 5 0 6 に接続される。ここで、裏面側配線は、対応する外部接続パッドに領域 5 4 のビアにより接続された構造である。

【 0 0 4 4 】

また、図 1 1 に示すように、第 1 の接続パッドうち、VDD プレーン 6 0 1 を介してレギュラーピンに接続されるチップピン用のパッド（VDD, VDDQ） 6 0 2 は、そこから基板下面側に向かって形成されたビア 6 0 3 により VDD プレーン 6 0 1 に接続される。さらに、VDD プレーン 6 0 1 は、ビア 6 0 4 により対応する外部接続パッド 6 0 5 に接続されている。同様に、第 1 の接続パッドうち、GND プレーン 6 0 6 を介してレギュラーピンに接続されるチップピン用のパッド 6 0 7 は、そこから基板下面側に向かって形成されたビア 6 0 8 により GND プレーン 6 0 6 に接続される。一方、第 2 の接続パッド群のうち、VDD プレーン 6 0 3 を介してレギュラーピンに接続されるチップピン用のパッド 6 0 9 は、そこから基板上面側に向かって形成されたビア 6 1 0 により VDD プレーン 6 0 1 に接続される。同様に、第 2 の接続パッドのうち、GND プレーン 6 0 6 を介してレギュラーピンに接続されるチップピン用のパッド（VSS, VSSQ） 6 1 1 は、そこから基板上面側に向かって形成されたビア 6 1 2 により GND プレーン 6 0 6 に接続される。

【 0 0 4 5 】

ここでは、電源関係のパッド（VDD, VDDQ）は、一枚の VDD プレーンに接続されているが、VDD と VDDQ とを同一層内で分割して別配線としたり、また、表層側及び／又は裏面側信号層の空きスペースに配線してもよく、さらに追加プレーンを設けてもよい。GND プレーンに接続されるパッド（VSS, VSSQ）に関しても、同様の配線としてよい。

【 0 0 4 6 】

図 1 2 に示すように、第 1 の接続パッド群のうち、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続されるチップピン用のパッド 7 0 1 は、後述のビアで裏面側のパッドと直結されるパッドを除き、第 1 と第 2 の接続パッドのうちの対応するパッドの中間点近傍に形成されたビア 7 0 2 に、表層側信号層の一部である配線（分岐配線） 7 0 3 により接続される。第 2 の接続パッド群の対応するパッド 7 0 4 は、同ビア 7 0 3 に裏層側信号層である配線（分岐配線） 7 0 5 により接続される。つまり、各レギュラーピンに信号層の配線を用いて接続される一対のチップピン用のパッド対 7 0 1, 7 0 4 は、それらの中間点近傍に形成されたビア 7 0 2 を介して互いに接続される。一対の接続パッド 7 0 1, 7 0 4 が接続されたビア 7 0 2 は、表層側又は裏層側信号層の配線（共通配線） 7 0 6 又は 7 0 7 により、対応するレギュラーピン用の外部接続パッドに接続される。分岐配線 7 0 3 と 7 0 5 及びそれらを接続するビア 7 0 2 は、一まとめにして、分岐配線部と呼ばれる。この構成により、互いに対応する一対の接続パッド（チップピン）に接続される分岐配線の長さを実質上（実用上問題が生じない程度に）互いに等しくすることができる。

【 0 0 4 7 】

図 1 3 に示すように、第 1 の接続パッド群のうち、表層側及び／又は裏層側の信号層を介してレギュラーピンに接続される接続パッドのうちの残りのパッド 8 0 1 は、その裏面側に位置する第 2 の接続パッド群の接続パッド 8 0 2 にビア 8 0 3 で直接接続される。これは、各半導体チップ 1 1, 1 2 のピンには、その役割を入れ替えても差し支えないものが存在することによる。例えば、各半導体チップ 1 1, 1 2 のピンに図 6 のような役割が割り当てられているとき、フレキシブル基板 1 3 を挟んで対向配置された第 1 及び第 2 の半導体チップ 1 1, 1 2 の一方の DQ 0, DQ 1, DQ 2 及び DQ 3 ピンは、他方の半

導体チップのDQ1, DQ0, DQ3及びDQ2ピンと向き合うことになる。ここで、各半導体チップのDQ0, DQ1, DQ2及びDQ3ピンは、その役割を交換することが可能であるため、互いに向き合っているピン同士を同じレギュラーピンに接続しても何ら問題は生じない。そこで、これらのピンが接続される第1の接続パッド群の接続パッド801は、その裏面側に位置する第2の接続パッド群の接続パッド802にビア803で直結される。そして、ビア803で互いに接続された一対の接続パッド801, 802の一方が、表層側又は裏層側の信号層の配線804又は805により対応するレギュラーピンに接続される。この場合においては、ビア803が、分岐配線部を構成し、配線804又は805がそれに接続される共通配線とである。

【0048】

なお、ビアで直結可能な接続パッドについても、設計上あるいは製造上の都合により、先に述べたパッドと同様に、互いに対応する2つの接続パッドの中間点近傍にビアを形成して互いに接続するようにしてもよい。あるいは、表裏に位置するピン同士を直結せず、それとは別の位置にビアを形成し、それに配線を用いて接続するようにしてもよい。ビアでパッドを直結する場合は、パッド上でビアを形成し直結しているが、パッド近傍でビアを形成し、直結することも可能であることは自明である。

【0049】

次に、第1及び第2の接続パッド群と外部接続パッドとの間の接続について、特に、レギュラーピンに接続されるチップピン用の接続パッドに関する接続について、具体例を挙げて説明する。

【0050】

図14(a)は、フレキシブル基板13の表層側信号層の一部(半導体チップのA~D行に対応)を示す図である。また、図14(b)は、図14(a)に対応するフレキシブル基板13の裏層側信号層の一部である。なお、図14(a)及び(b)は、いずれもフレキシブル基板13を上側から見た図である。

【0051】

図14(a)に示すように、第1の半導体チップのA8ピン用の接続パッドは、表層側の配線(分岐配線)71によりビア72に接続されている。一方、第2の半導体チップのA8ピン用の接続パッドは、図14(b)に示すように、裏層側の配線(分岐配線)73によりビア72に接続されている。ここで、ビア72は、配線71と配線72の長さを等しくするために、第1の半導体チップのA8ピン用の接続パッドと第2の半導体チップのA8ピン用の接続パッドとの中間点近傍に形成されている。配線71と配線73は、その長さが実質上等しく、かつ伝送路となるよう(インピーダンスが整合するよう)に形成されている。ビア72は、さらに裏層側信号層の配線(共通配線)74により、A8パッケージピン用のパッドに接続形成された下面のエリア54のビア75に接続されている。

【0052】

第1及び第2の半導体チップのB3ピン用の接続パッドは、A8ピン用の接続パッドと同様に、それらの中間点近傍に形成されたビア76を介して互いに接続されている。このビア76は、A8ピン用のビア72とは異なり、表層側信号層の信号線77により、B3パッケージピン用のパッドに接続されている。

【0053】

第1及び第2の半導体チップのB7ピンに対応する接続パッドも、A8ピン用の接続パッドの場合と同様に、B7パッケージピン用のパッド裏面のビア78に接続されている。

【0054】

第1の半導体チップのC2ピン及びD3ピン用の接続パッドは、図14(a)に示すように、表層側信号層の配線により、C8パッケージピン及びD7パッケージピン用の外部接続パッドに夫々接続されている。また、図示はされていないが、これらのC2ピン及びD3ピン用の接続パッドは、裏面側の第2の半導体チップのC8ピン及びD7ピン用の接続パッドにそれぞれビアによって直結されている。

【0055】

一方、第2の半導体チップのC2ピン及びD3ピン用の接続パッドは、図14(b)に示すように、裏層側信号層の配線により、C2パッケージピン及びD3パッケージピンに夫々接続されたビアに接続されている。また、図示はされていないが、これらのC2ピン及びD3ピン用の接続パッドは、表面側の第1の半導体チップC8ピン及びD7ピン用の接続パッドにそれぞれビアによって接続されている。

【0056】

なお、A1ピン用の接続パッドのように、VDDプレートに接続されるパッドは、ビアによって直接VDDプレートに接続される。GNDプレートに接続されるパッドについても同様である。

【0057】

また、オプションピンに接続されるチップピン用の接続パッドは、第1又は第2のC2ピンあるいはD3ピン用の接続パッドと同様に、表面側又は裏面側の信号層の配線により行われる。

【0058】

次に、フレキシブル基板に形成される配線について説明する。フレキシブル基板13はグラウンドプレーン及び／又は電源プレーン（又は配線）を有する多層基板であって、信号配線パターンは、その大部分が（望ましくは全てが）グラウンドプレーン及び／又は電源プレーン（又は配線）とともに伝送線路を構成している。図15乃至18を参照して、信号配線パターンの伝送線路の構成を説明する。

【0059】

図15(a)及び(b)に示すように、伝送線路は、信号配線パターン81とその信号配線パターン81に隣接する層のグラウンドプレーン及び／又は電源プレーン（平板配線）82とにより、マイクロストリップ線路として構成される。又は、図16(a)及び(b)に示すように、伝送線路は、信号配線パターン81とその両側に隣接するグラウンドプレーン及び／又は電源プレーン（平板配線）82a、82bとにより、ストリップ線路として構成される。あるいは、図17(a)及び(b)に示すように、伝送線路は、信号配線パターン81と、それと同一層で片側（もしくは両側）に隣接して並走するグラウンドプレーン及び／又は電源配線83とにより、平行線路として構成される。信号配線パターンは、上記伝送線路の構成を適宜選択し、組み合わせて構成される。

【0060】

なお、マイクロストリップ線路又はストリップ線路を構成するグラウンドプレーン及び／又は電源プレーン（平板配線）82、82a、82bは、信号配線パターン81と同等以上の幅を有する。

【0061】

また、伝送線路を構成するグラウンドプレーン及び／又は電源プレーン（平板配線）82、82a、82bは、図18(a)に示すように複数のグラウンド配線部及び／又は電源配線部91、92から構成されていてもよい。

【0062】

さらに、伝送線路を構成するグラウンドプレーン及び／又は電源プレーン（平板配線）82、82a、82bは、図18(b)に示すように、ビア95や他の配線96により部分的に分断されていてもよい。

【0063】

以上、本発明について一実施の形態に即して説明したが、本願発明は、上記実施の形態に限定されるものではない。

【0064】

例えば、上記説明では、パッケージピンの位置が第1の半導体チップのチップピンの位置に上下方向に一致するようにしたが、図19に示すように、共通配線の長さを短くするため、パッケージピンの位置をずらしてもよい。また、図20(a)及び(b)に示すように、パッケージピンの配置を第1の半導体チップのチップピンの配置と全く異なるもの

としてもよい。

【図面の簡単な説明】

【 0 0 6 5 】

【図 1】本発明の一実施の形態に係る積層型半導体パッケージの概略構成を示す（a）斜視図及び（b）正面図である。

【図 2】従来のパッケージ構造の半導体チップの一例を示す略断面構成図である。

【図 3】従来のパッケージ構造の半導体チップの他の例を示す略断面構成図である。

【図 4】従来のパッケージ構造の半導体チップのさらに他の例を示す略断面構成図である。

【図 5】図 1 の積層型半導体パッケージに使用される半導体チップの概略構成を示す斜視図である。

【図 6】図 5 の半導体チップのピンの役割を説明するための配置図である。

【図 7】図 1 の積層型半導体パッケージのパッケージピンの役割を説明するための配置図である。

【図 8】図 1 の積層型半導体パッケージに使用されるフレキシブル基板の概略構成を示す斜視図である。

【図 9】半導体チップをフレキシブル基板に搭載する前の状態を示す概略図であって、（a）は斜視図、（b）は縦断面図である。

【図 1 0】図 8 のフレキシブル基板におけるオプションピンに関する接続を説明するための部分断面図である。

【図 1 1】図 8 のフレキシブル基板における V D D プレーンに関する接続を説明するための部分断面図である。

【図 1 2】図 8 のフレキシブル基板における通常のレギュラーピンに関する接続を説明するための部分断面図である。

【図 1 3】図 8 のフレキシブル基板におけるビアにより直接接続されるパッドの接続を説明するための部分断面図である。

【図 1 4】図 8 のフレキシブル基板の配線の一部を示す図であって、（a）は、第 1 のチップ接続パッド群と外部接続パッド群との接続関係、（b）は、第 2 のチップ接続パッド群と外部接続パッド群に接続されるビアとの接続関係を示す図である。

【図 1 5】マイクロストリップ線路として構成される伝送線路を説明するための図であって、（a）は斜視図、（b）は縦断面図である。

【図 1 6】ストリップ線路として構成された伝送線路を説明するための図であって、（a）は斜視図、（b）は縦断面図である。

【図 1 7】平行線路として構成された伝送線路を説明するための図であって、（a）は斜視図、（b）は縦断面図である。

【図 1 8】伝送線路を構成するグラウンド又は電源プレートの他の形態を説明するための図であって、（a）は、グラウンド又は電源プレートが複数の部分からなる例を示す図、（b）は、グラウンド又は電源プレートがビア又は他の配線により部分的に分断されている例を示す図である。

【図 1 9】本発明の積層型半導体パッケージの変形例を示す概略断面図である。

【図 2 0】本発明の積層型半導体パッケージの他の変形例を示す（a）概略断面図、（b）斜視図である。

【図 2 1】従来の積層型半導体パッケージの一例の概略構成を示す断面図である。

【図 2 2】従来の積層型半導体パッケージの他の例の概略構成を示す斜視図である。

【図 2 3】図 2 2 の積層型半導体パッケージに用いられる半導体チップとフレキシブル基板の構成を説明するための分解斜視図である。

【符号の説明】

【 0 0 6 6 】

1 0 積層型半導体パッケージ

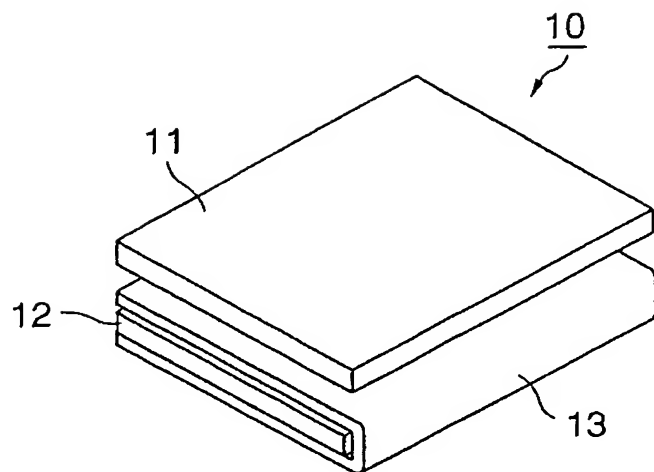
1 1 第 1 の半導体チップ

- 1 2 第2の半導体チップ
- 1 3 フレキシブル基板
- 1 4 パッケージピン
- 2 1 チップピン
- 5 1 チップ搭載領域
- 5 2 フレキシブル基板上面の残りの領域
- 5 3 フレキシブル基板下面の、チップ搭載領域の裏面にあたる領域
- 5 4 フレキシブル基板下面の、外部接続用パッド群に対応する領域
- 7 1, 7 3, 7 4, 7 7 配線
- 7 2, 7 5, 7 6, 7 8 ビア
- 8 1 信号配線パターン
- 8 2, 8 2 a, 8 2 b グランドプレーン／電源プレーン
- 8 3 グランド配線／電源配線
- 9 1, 9 2 グランド配線部分／電源配線部分
- 9 5 ビア
- 9 6 他の配線
- 1 0 1 キャビティ
- 1 0 2 基板
- 1 0 3 配線パターン
- 1 0 4 半導体チップ
- 1 0 5 ボンディングワイヤー
- 1 0 6 端子パッド
- 1 0 7 ソルダボール
- 1 1 1 半導体チップ
- 1 1 2 フレキシブル基板
- 1 2 1 コンタクト
- 1 2 2 第1の導電パッド群
- 2 0 1, 3 0 1 基板
- 2 0 2, 3 0 2 単体チップ
- 2 0 3, 3 0 3 配線 (パッド)
- 2 0 4, 3 0 4 配線
- 2 0 5, 3 0 5 ワイヤボンディング
- 2 0 6, 3 0 6 導体パターン
- 2 0 7, 3 0 7 樹脂
- 4 0 1 半導体基板
- 4 0 2 保護膜
- 4 0 3 再配線層
- 4 0 4 銅ポスト
- 4 0 5 樹脂
- 5 0 1, 5 0 4 パッド
- 5 0 2, 5 0 5 配線
- 5 0 3 外部接続パッド
- 5 0 6 ビア
- 6 0 1 VDDプレーン
- 6 0 2, 6 0 7, 6 0 9, 6 1 1 パッド
- 6 0 3, 6 0 4, 6 0 8, 6 1 0, 6 1 2 ビア
- 6 0 5 外部接続パッド
- 6 0 6 GNDプレーン
- 7 0 1, 7 0 4 パッド
- 7 0 2 ビア

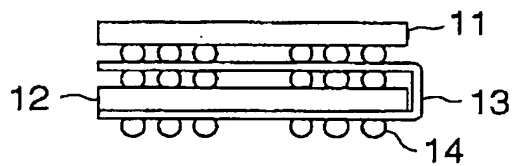
7 0 3, 7 0 5, 7 0 6, 7 0 7 配線
8 0 1、8 0 2 パッド
8 0 3 ビア
8 0 4, 8 0 5 配線

【書類名】 図面

【図 1】

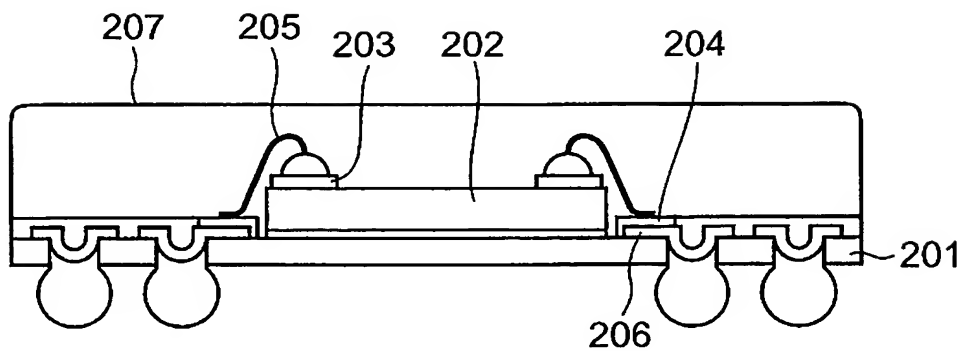


(a)

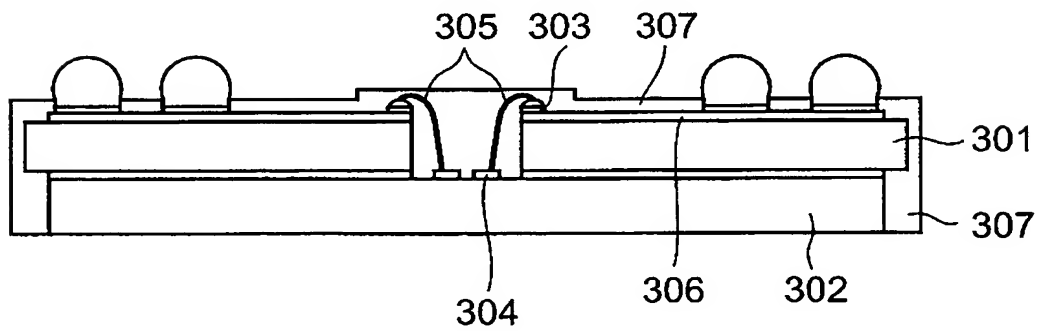


(b)

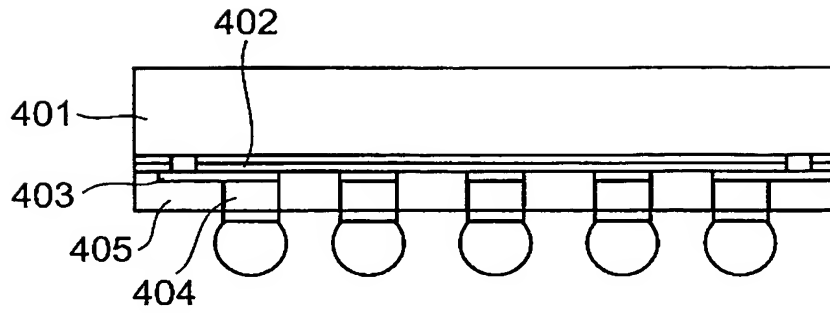
【図 2】



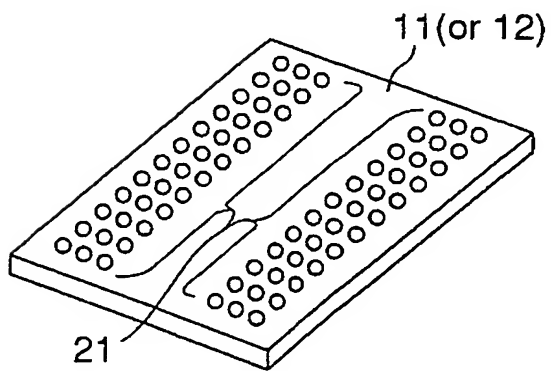
【図 3】



【図 4】



【図 5】



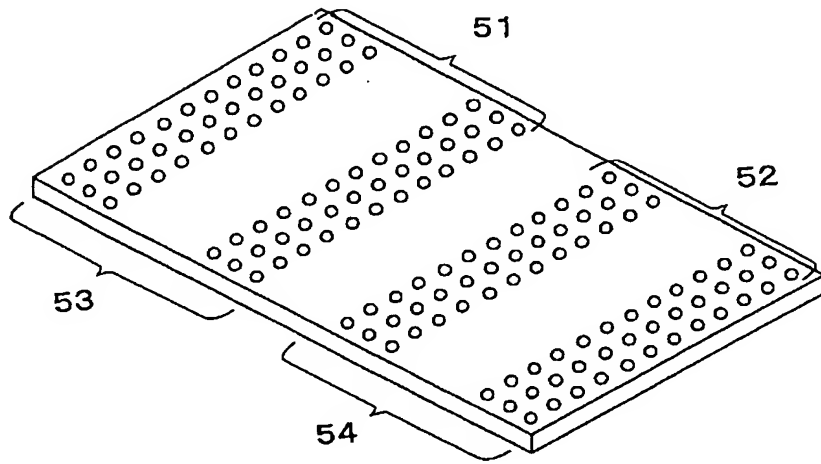
【図 6】

1	2	3		7	8	9
VDD	NC	VSS	A	VSSQ	$\overline{\text{DQS}}$	VDDQ
NC	VSSQ	DM	B	DQS	VSSQ	NC
VDDQ	DQ1	VDDQ	C	VDDQ	DQ0	VDDQ
NC	VSSQ	DQ3	D	DQ2	VSSQ	NC
VDDL	VREF	VSS	E	VSSDL	CK	VDD
	CKE	$\overline{\text{WE}}$	F	$\overline{\text{RAS}}$	$\overline{\text{CK}}$	OTD
BA2	BA0	BA1	G	$\overline{\text{CAS}}$	$\overline{\text{CS}}$	
	A10	A1	H	A2	A0	VDD
VSS	A3	A5	J	A6	A4	
	A7	A9	K	A11	A8	VSS
VDD	A12	A14	L	A15	A13	

【図 7】

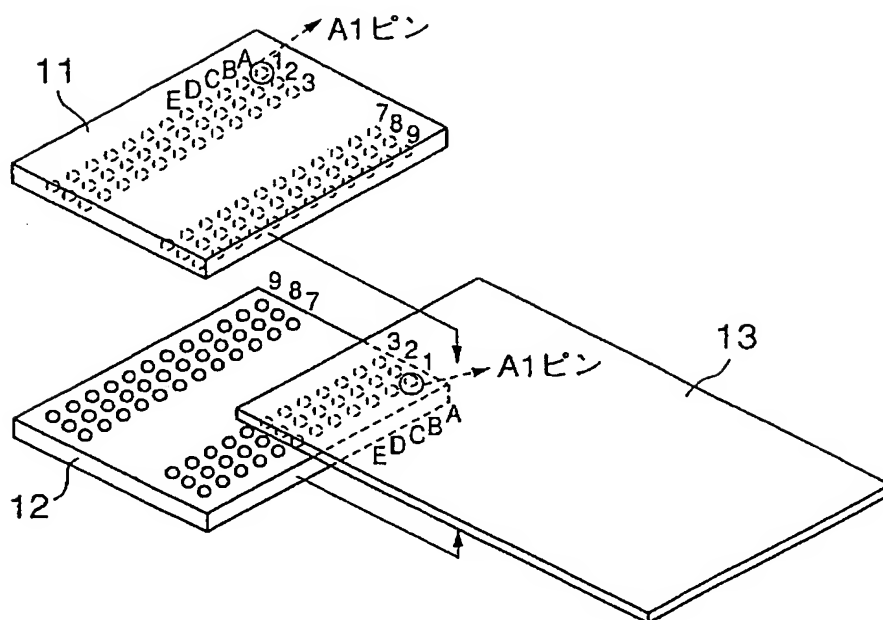
1	2	3		7	8	9
VDD	NC	VSS	A	VSSQ	$\overline{\text{DQS}}$	VDDQ
NC	VSSQ	DM	B	DQS	VSSQ	NC
VDDQ	DQ1	VDDQ	C	VDDQ	DQ0	VDDQ
NC	VSSQ	DQ3	D	DQ2	VSSQ	NC
VDDL	VREF	VSS	E	VSSDL	CK	VDD
	CKE0	$\overline{\text{WE}}$	F	$\overline{\text{RAS}}$	$\overline{\text{CK}}$	ODT0
BA2	BA0	BA1	G	$\overline{\text{CAS}}$	$\overline{\text{CS0}}$	$\overline{\text{CS1}}$
CKE1	A10	A1	H	A2	A0	VDD
VSS	A3	A5	J	A6	A4	ODT1
	A7	A9	K	A11	A8	VSS
VDD	A12	A14	L	A15	A13	

【図 8】

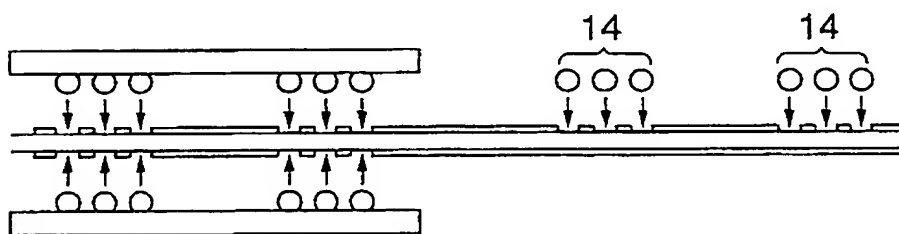


【図 9】

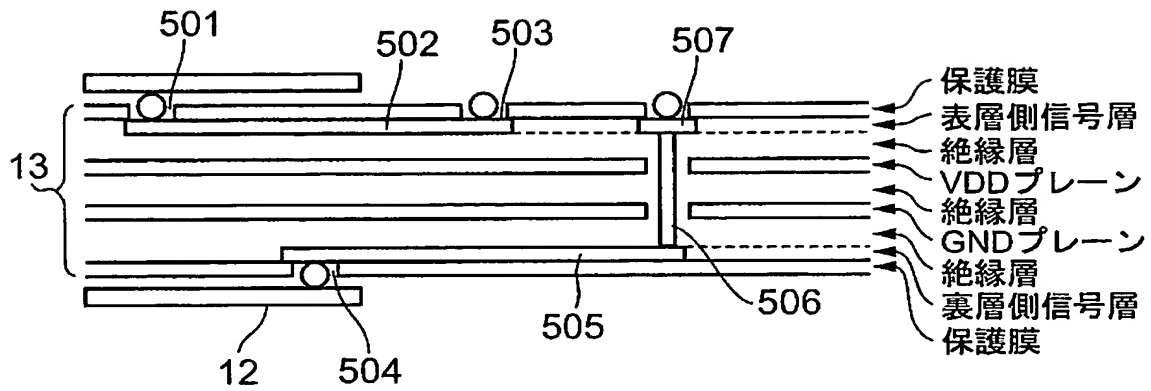
(a)



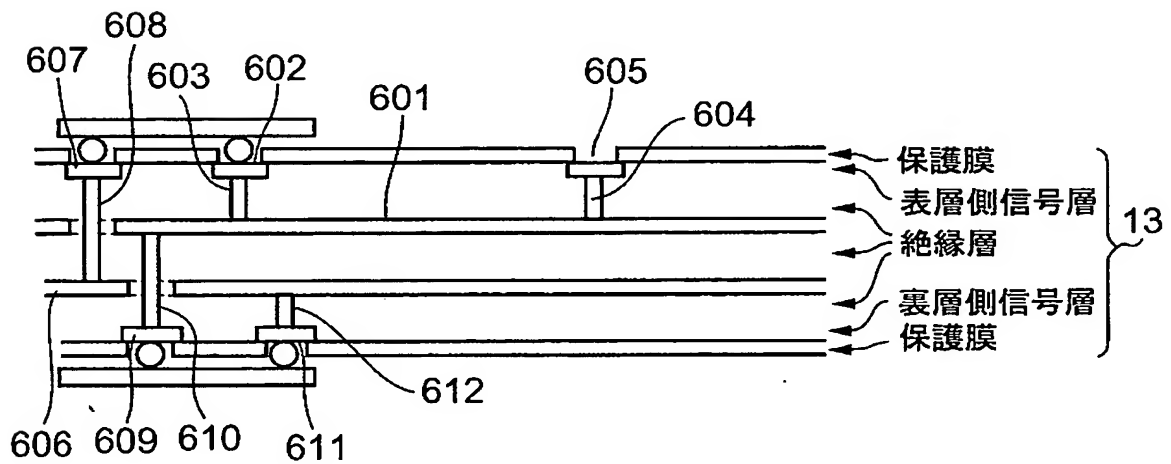
(b)



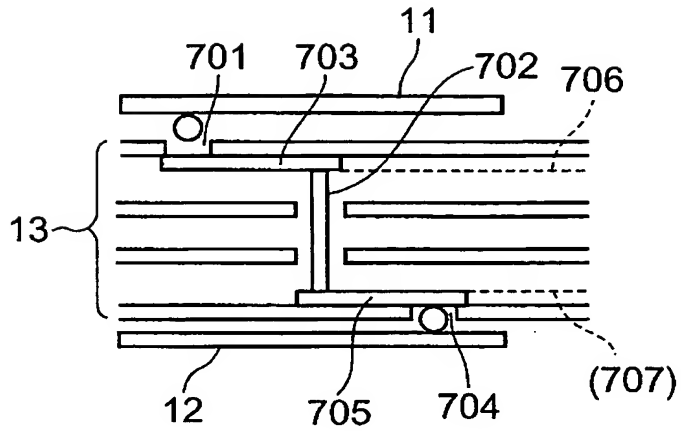
【図10】



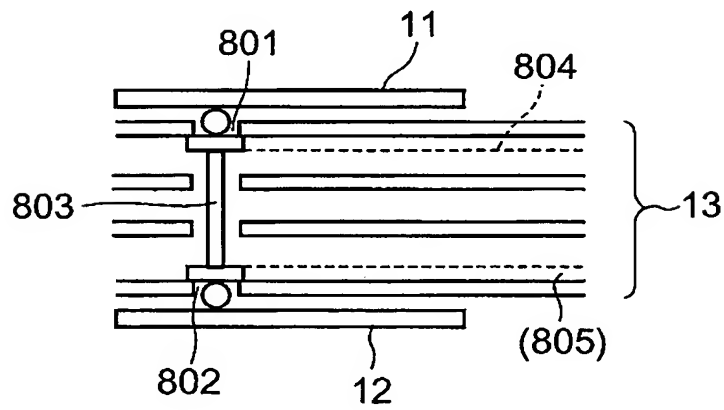
【図11】



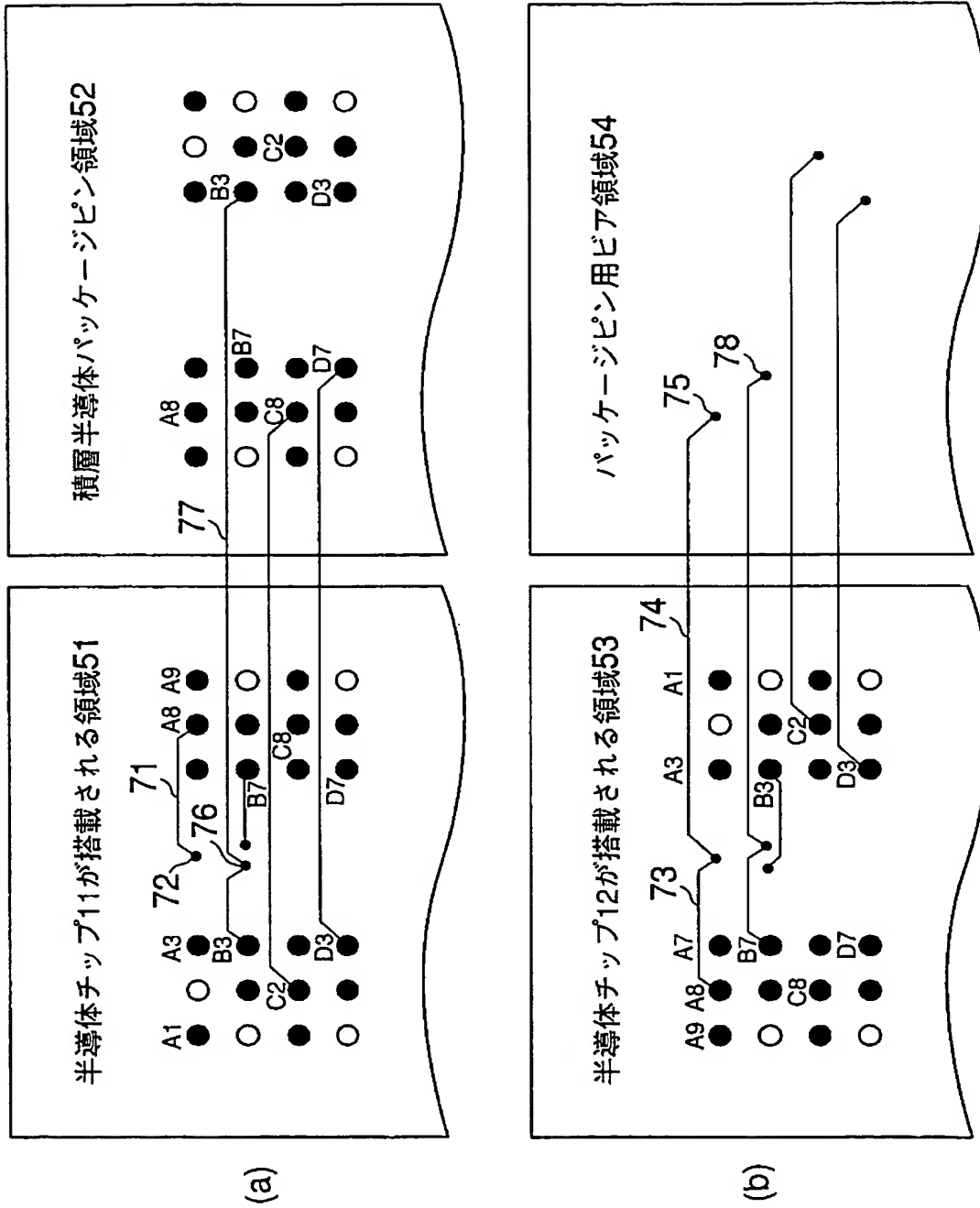
【図 12】



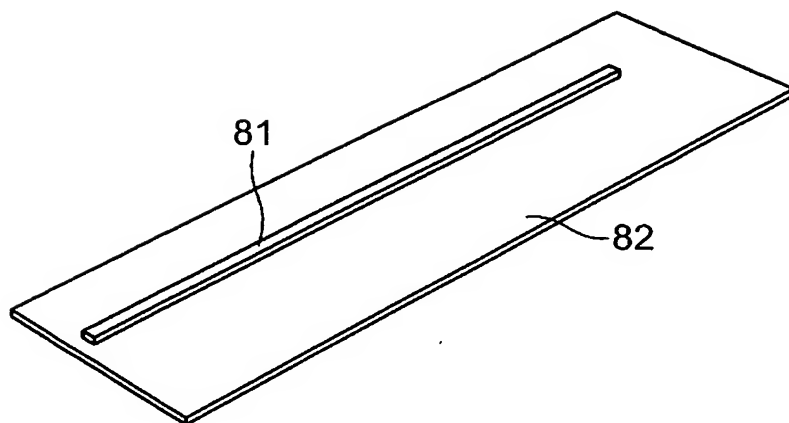
【図 13】



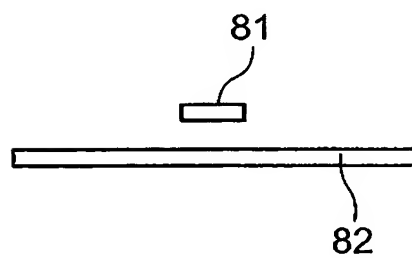
【図14】



【図 15】

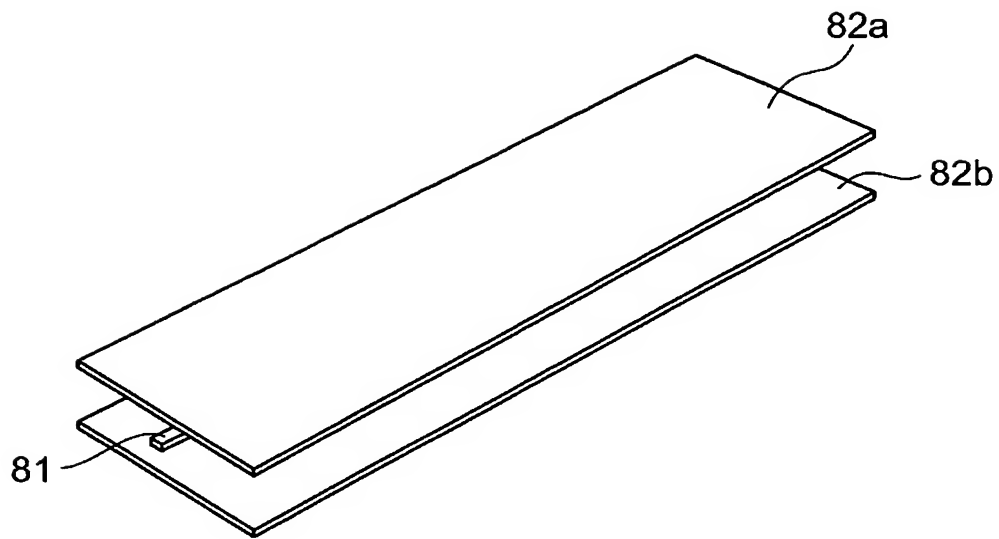


(a)

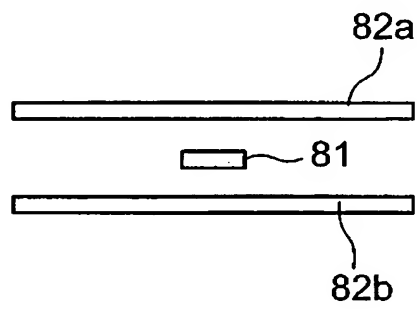


(b)

【図 16】

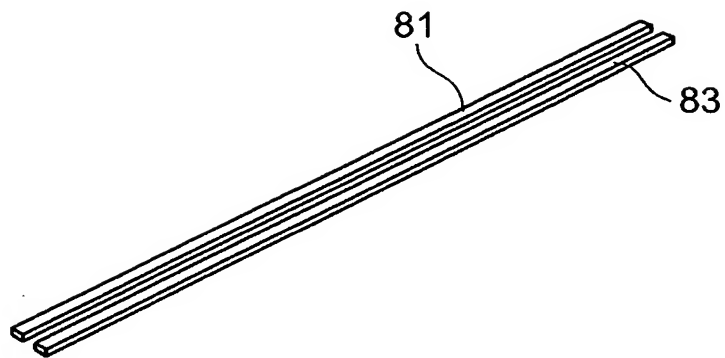


(a)



(b)

【図 17】

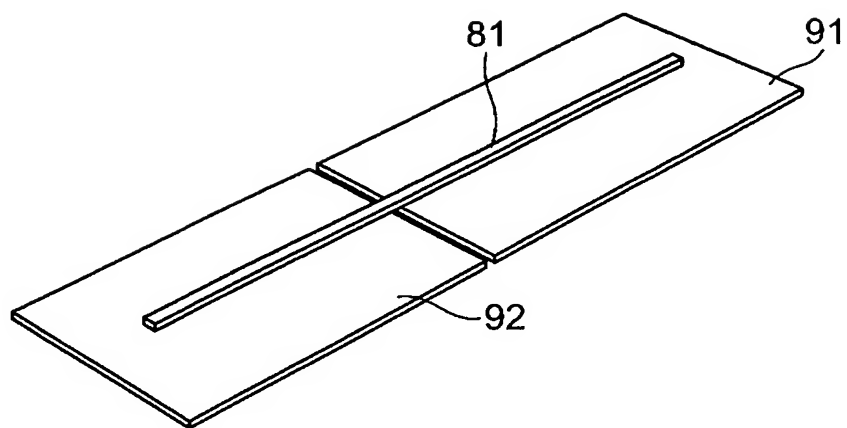


(a)

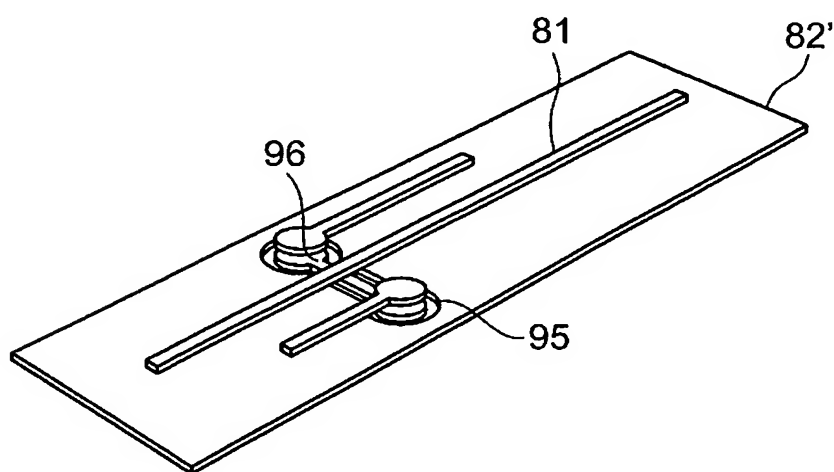


(b)

【図 18】

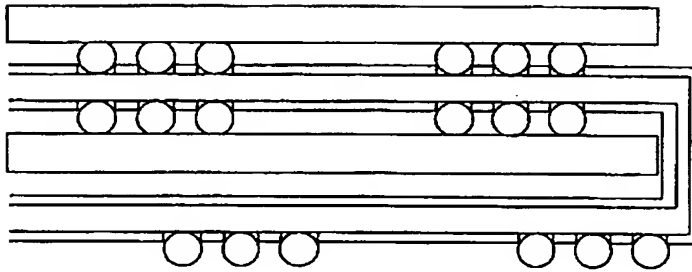


(a)

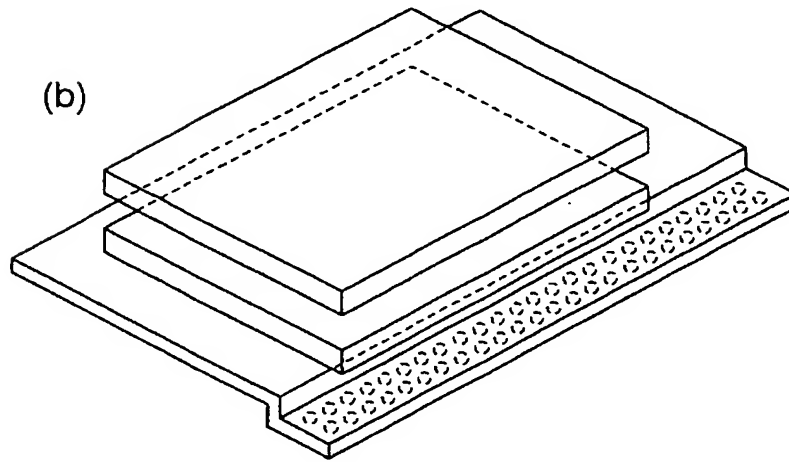
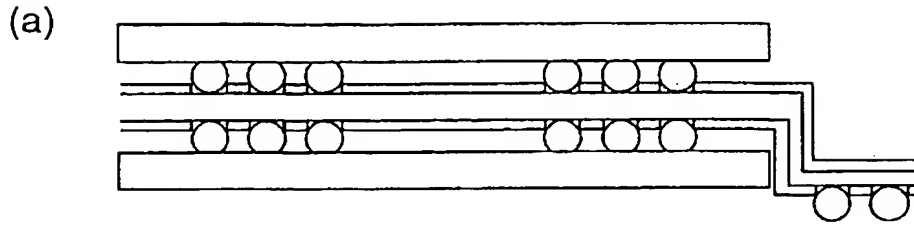


(b)

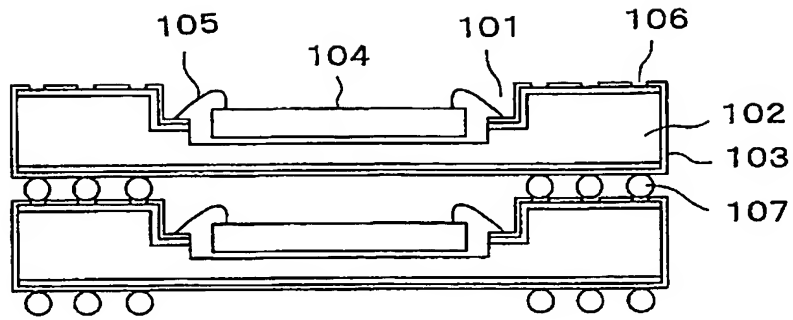
【図 1 9】



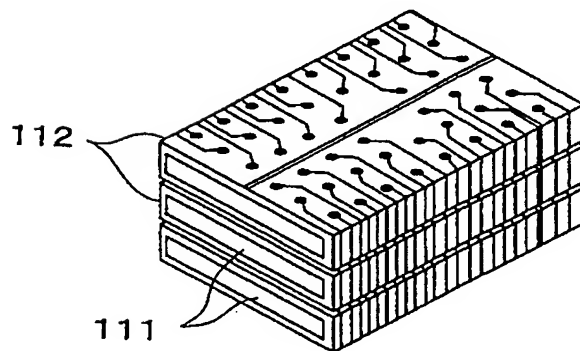
【図 20】



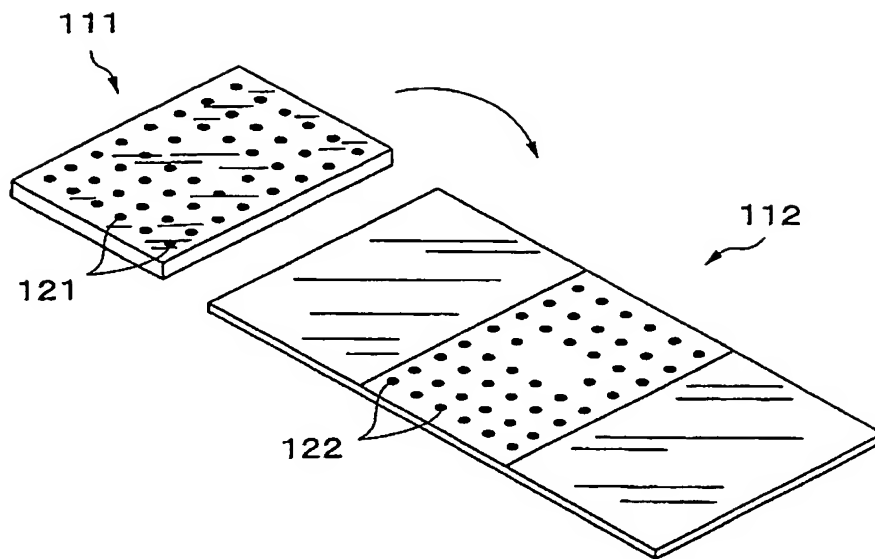
【図 2 1】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 1 枚の基板に半導体チップが 2 個搭載され、外部接続端子から各半導体チップへの配線長を実質的に等しくすることができる積層型半導体パッケージを提供する。

【解決手段】 複数のチップピンが予め定められた配置で形成されている搭載面を夫々有する 2 個の半導体チップ 1 1, 1 2 を、その搭載面が基板 1 3 を挟んで互いに対向するように当該基板の表裏面に搭載する。基板のチップ非搭載面には、チップピンの配置と同じ配置のパッケージピンが形成されている。両半導体チップの互いに対応するチップピンは、それらの中間位置に形成されたビアに同一長の分岐配線を用いて接続される。各ビアは、そこに接続されたチップピンに対応するパッケージピン 1 4 に、共通配線を用いて接続される。

【選択図】

図 1

特願 2 0 0 4 - 0 5 0 2 6 4

出 願 人 履 歴 情 報

識別番号 [5 0 0 1 7 4 2 4 7]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社